

(5) Japanese Patent Application Laid-Open No. 11-87723 (1999):  
"METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE"

5           The following is an extract relevant to the present application.

          A method of manufacturing a MOSFET comprising steps of depositing  
a nitride silicon film 15 above gate electrodes 14A-14C using the CVD method  
on a SOI substrate which is completely isolated by oxide silicon films 6 and 7,  
10   and forming these films by patterning using a photoresist film as a mask.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87723

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 6 C

21/265

27/12

E

21/76

21/265

J

21/84

21/76

R

27/12

21/84

審査請求 未請求 請求項の数 4 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願平9-245766

(22) 出願日

平成9年(1997) 9月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 夏秋 信義

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

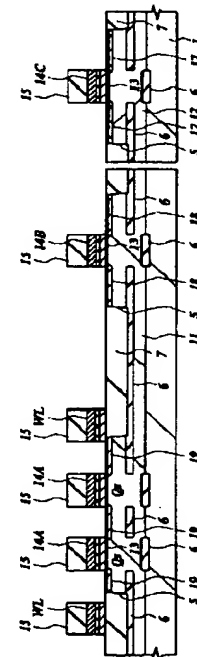
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 S O I 基板の基板浮遊効果を抑制する。

【解決手段】 本発明のS O I 構造を有する半導体基板1は、M I S F E Tのチャネル領域の直下の酸化シリコン層6が他の領域よりも深い領域に形成されており、半導体基板1の浅い領域(活性層)と深い領域(支持基板)とは、M I S F E Tのチャネル領域の直下で電氣的に接続されるようになっている。

図 5



6: 酸化シリコン層

## 【特許請求の範囲】

【請求項 1】 半導体基板の主面に酸素をイオン打ち込みした後、前記半導体基板を熱処理してその内部に酸化シリコン層を形成することにより、SOI 構造の半導体基板を製造する際、(a) 半導体基板の第一領域の表面に選択的に形成した薄膜をマスクにして前記半導体基板に酸素をイオン打ち込みすることにより、前記半導体基板の第一領域には前記酸素を相対的に浅く打ち込み、他の領域には前記酸素を相対的に深く打ち込む工程、

(b) 前記半導体基板を熱処理することにより、前記半導体基板の第 1 領域には相対的に浅い箇所に酸化シリコン層を形成し、他の領域には相対的に深い領域に酸化シリコン層を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記第一領域または前記他の領域のいずれか一方が MISFET のチャネル領域を形成する領域であることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 半導体基板の主面に酸素をイオン打ち込みした後、前記半導体基板を熱処理してその内部に酸化シリコン層を形成することにより、SOI 構造の半導体基板を製造する際、(a) 半導体基板の第一領域の表面に選択的に形成した薄膜をマスクにして前記半導体基板に酸素をイオン打ち込みすることにより、前記半導体基板の第一領域には前記酸素を打ち込まず、他の領域のみに前記酸素を打ち込む工程、(b) 前記半導体基板を熱処理することにより、前記半導体基板の他の領域のみに酸化シリコン層を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 3 記載の半導体集積回路装置の製造方法であって、前記第一領域が MISFET のチャネル領域を形成する領域であることを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、SOI (Silicon OnInsulator) 基板を用いた半導体集積回路装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】単結晶シリコン (Si) からなる基板に絶縁層を挟んでシリコン活性層を形成し、この活性層の主面に MISFET (Metal Insulator Semiconductor Field Effect Transistor) などの半導体素子を形成する SOI 技術は、完全な素子分離が可能であることから、(1) 単結晶シリコン基板に半導体素子を形成する場合に比べて接合容量を低減でき、LSI の動作速度の向上が可能となる。

【0003】(2) 相補型 MISFET (CMOSFE

T) のラッチアップを解消することができる。

【0004】(3)  $\alpha$  線による電子-正孔対の発生が薄い活性層に限られるので、ソフトエラー耐性が高く、メモリ LSI の信頼性を向上できる。

【0005】といった利点を備えている。

【0006】SOI 基板の製造方法には、酸化膜を挟んで 2 枚のシリコン基板を熱処理によって接合する「貼り合わせ法」や、シリコン基板に酸素をイオン注入し、熱処理によって基板内部に埋め込み酸化層を形成する「SIMOX (separation by implanted oxygen) 法」などがある。

【0007】しかし、SOI 基板は、上記のような利点を備えている反面、活性層に MISFET を形成したときに基板浮遊効果によってゲート電圧-ドレイン電流特性にキック (kink) が生じ、MISFET のしきい値電圧が変動したり、ソースドレイン間の耐圧が劣化したりするといった問題が指摘されている (アイ・イー・イー・イー、トランザクションズ (IEEE Transactions on Electron Devices Vol.38, No.6, June 1991. p.1384~p.1391 "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's"))。

【0008】

【発明が解決しようとする課題】本発明者は、SOI 基板に MISFET を形成する場合に問題となる基板浮遊効果について検討した。その概要は、次の通りである。

【0009】SOI 基板の基板浮遊効果は、MISFET のチャネルが形成される領域の下部 (ウエル) が基板と電気的に絶縁されているために、この領域に注入されたキャリアの逃げ場がないことに起因して発生する。

従って、基板浮遊効果を抑えるためには、例えば、(1) 活性層の表面側から MISFET のチャネル領域 (またはウエル) に外部コンタクトを取って固定電位を供給する。

【0010】(2) MISFET のソース領域を狭バンド構造とする。

【0011】(3) ソース領域の底部にソース領域と隣接した再結合領域を形成する。

【0012】(4) 「貼り合わせ法」によって SOI 基板を作成する際に、あらかじめ一方の基板の酸化膜を部分的に除去しておくことによって、活性層と基板とを部分的に導通させる。

【0013】といった対策が考えられる。これらの対策のうち、(1) ~ (3) は、全面に埋め込み酸化層を形成した SOI 基板を用いる場合の対策であり、(4) は、SOI 基板を作成する過程で基板浮遊効果回避策を講じるものである。

【0014】しかし、上記した対策のうち、(1) は、平面内の素子分離を完全に閉じることができないので、活性層の薄膜化やゲート幅の縮小による抵抗増大やコン

タクト領域の確保など、レイアウト上の制約が生じ、高集積化および高性能化が犠牲になるという問題がある。

また、(2)は、基板のソース領域のみをSiと異なる物質(例えばSi-Ge)で構成しなければならないなど、いずれも接合リークをはじめとする副作用の防止に困難が伴う問題がある。さらに、(4)は、2枚の基板を貼り合わせる際に、微細な酸化膜パターンと活性層に形成する素子とのアライメント精度を確保することが困難であるという問題がある。

【0015】本発明の目的は、LSIの高集積化を犠牲にすることなく、SOI基板の基板浮遊効果を抑制することのできる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0018】(1)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に酸素をイオン打ち込みした後、前記半導体基板を熱処理してその内部に酸化シリコン層を形成することにより、SOI構造の半導体基板を製造する際、(a)半導体基板の第一領域の表面に選択的に形成した薄膜をマスクにして前記半導体基板に酸素をイオン打ち込みすることにより、前記半導体基板の第一領域には前記酸素を相対的に浅く打ち込み、他の領域には前記酸素を相対的に深く打ち込む工程、(b)前記半導体基板を熱処理することにより、前記半導体基板の第1領域には相対的に浅い箇所に酸化シリコン層を形成し、他の領域には相対的に深い領域に酸化シリコン層を形成する工程、を含んでいる。

【0019】(2)本発明の半導体集積回路装置の製造方法は、前記第一領域または前記他の領域のいずれか一方がMISFETのチャネル領域を形成する領域である。

【0020】(3)本発明の半導体集積回路装置の製造方法は、半導体基板の主面に酸素をイオン打ち込みした後、前記半導体基板を熱処理してその内部に酸化シリコン層を形成することにより、SOI構造の半導体基板を製造する際、(a)半導体基板の第一領域の表面に選択的に形成した薄膜をマスクにして前記半導体基板に酸素をイオン打ち込みすることにより、前記半導体基板の第一領域には前記酸素を打ち込まず、他の領域のみに前記酸素を打ち込む工程、(b)前記半導体基板を熱処理することにより、前記半導体基板の他の領域のみに酸化シリコン層を形成する工程、を含んでいる。

【0021】(4)本発明の半導体集積回路装置の製造方法は、前記第一領域がMISFETのチャネル領域を

形成する領域である。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有するものには同一の符号を付け、その繰り返しの説明は省略する。

【0023】(実施の形態1)本実施の形態は、SOI基板を使ったDRAM(Dynamic Random Access Memory)ーロジック混載LSIの製造に適用したものである。DRAMのメモリセルは、nチャネル型で構成されるメモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とで構成され、その周辺回路は、相補型MISFET(nチャネル型MISFETおよびpチャネル型MISFET)で構成されている。また、ロジックLSIは、相補型MISFETで構成されている。

【0024】次に、図1～図11を用いて本実施の形態のDRAMーロジック混載LSIの製造方法を説明する。

【0025】まず、図1に示すように、p型で比抵抗が $10\Omega\text{cm}$ 程度の半導体基板1をウェット酸化してその表面に膜厚 $10\text{nm}$ 程度の薄い酸化シリコン膜2を形成した後、この酸化シリコン膜2の上部にCVD(Chemical Vapor Deposition)法で膜厚 $100\text{nm}$ 程度の窒化シリコン膜3を堆積する。なお、同図のDRAM形成領域には、メモリセルと周辺回路の一部(nチャネル型MISFET)とを示し、その周辺回路の他の一部(pチャネル型MISFET)の図示は省略してある。また、ロジックLSI形成領域には、その一部(pチャネル型MISFET)を示し、他の一部(nチャネル型MISFET)の図示は省略してある。

【0026】次に、半導体基板1の図示しない領域の窒化シリコン膜3および酸化シリコン膜2をエッチングして半導体基板1の表面にマスク合わせ用のアライメントマークを形成した後、図2に示すように、後にMISFETのチャネル領域が形成される領域を開孔したフォトレジスト膜(図示せず)をマスクにしたドライエッチングでこの領域の窒化シリコン膜3と酸化シリコン膜2を除去し、かつ、フォトレジスト膜を除去した後、半導体基板1に酸素をイオン打ち込みする。酸素のイオン打ち込みは、例えば温度 $=550^{\circ}\text{C}$ 、打ち込みエネルギー $=200\text{keV}$ 、ドーズ量 $=4\times 10^{17}/\text{cm}^2$ の条件で行う。これにより、後にMISFETのチャネル領域が形成される領域の半導体基板1には酸素が深く打ち込まれ、他の領域には浅く打ち込まれる。

【0027】次に、窒化シリコン膜3および酸化シリコン膜をエッチングで除去した後、図3に示すように、酸化雰囲気中で半導体基板1を $1350^{\circ}\text{C}$ 、1時間程度熱処理して基板内部に酸化シリコン層6を形成することにより、SOI構造の半導体基板1を得る。この半導体基板1の酸化シリコン層6は、後にMISFETのチャネ

ル領域が形成される領域では基板の深い箇所に形成され、他の領域では浅い箇所に形成されるので、半導体基板1の浅い領域（活性層となる領域）と深い領域（支持基板となる領域）とは、浅い箇所に形成された酸化シリコン層6と深い箇所に形成された酸化シリコン層6との隙間を通じて電氣的に接続される。

【0028】次に、図4に示すように、半導体基板1の活性層の一部（素子分離領域）に素子分離溝5を形成した後、nチャネル型MISFETを形成する領域にp型ウエル11を形成し、pチャネル型MISFETを形成する領域にn型ウエル12を形成する。素子分離溝5は、例えば半導体基板1の素子分離領域をエッチングして溝を形成した後、この溝の内部に酸化シリコン膜7を埋め込んで形成する。p型ウエル11およびn型ウエル12は、例えば半導体基板1のnチャネル型MISFETを形成する領域に、打ち込みエネルギー＝180keV、ドーズ量＝ $3 \times 10^{12}/\text{cm}^2$ でホウ素（B）をイオン打ち込みし、次いでpチャネル型MISFETを形成する領域に、打ち込みエネルギー＝550keV、ドーズ量＝ $3 \times 10^{12}/\text{cm}^2$ でリン（P）をイオン打ち込みした

後、950℃、10分程度の熱処理を行うことにより形成する。その後、p型ウエル11およびn型ウエル12の各表面の酸化シリコン膜2をHF（フッ酸）系の洗浄液を使って除去した後、半導体基板1をウェット酸化してp型ウエル11およびn型ウエル12の各表面に清浄なゲート酸化膜13を形成する。

【0029】次に、図5に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、DRAMのメモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。また、ゲート電極14Bは、DRAMの周辺回路のnチャネル型MISFETの一部を構成し、ゲート電極14Cは、ロジックLSIのpチャネル型MISFETの一部を構成する。

【0030】ゲート電極14A（ワード線WL）およびゲート電極14B、14Cは、例えばP（リン）などのn型不純物をドーブした多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部にWN（タングステンナイトライド）膜とW膜とをスパッタリング法で堆積し、さらにその上部に窒化シリコン膜15をCVD法で堆積した後、フォトリソ膜をマスクにしてこれらの膜をパターンニングすることにより形成する。

【0031】その後、n型ウエル12にp型不純物、例えばB（ホウ素）をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp<sup>+</sup>型半導体領域17を形成する。また、p型ウエル11にn型不純物、例えばP（リン）をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn<sup>+</sup>型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19（ソース、ドレイン）を形成する。これにより、D

RAMのメモリセル選択用MISFETQsが形成される。

【0032】次に、図6に示すように、半導体基板1上にCVD法で窒化シリコン膜20を堆積した後、DRAMのメモリセルが形成される領域（メモリアレイ）の窒化シリコン膜20をフォトリソ膜（図示せず）で覆い、DRAMの周辺回路形成領域およびロジックLSI形成領域の窒化シリコン膜20を異方性エッチングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。

【0033】その後、フォトリソ膜を除去し、ロジックLSI形成領域のn型ウエル12にp型不純物、例えばB（ホウ素）をイオン打ち込みしてpチャネル型MISFETのp<sup>+</sup>型半導体領域22（ソース、ドレイン）を形成し、DRAMの周辺回路形成領域のp型ウエル11にn型不純物、例えばAs（ヒ素）をイオン打ち込みしてnチャネル型MISFETのn<sup>+</sup>型半導体領域23（ソース、ドレイン）を形成する。これにより、ロジックLSI形成領域にLDD（Lightly Doped Drain）構造を備えたpチャネル型MISFETQpが形成され、DRAMの周辺回路形成領域にLDD構造を備えたnチャネル型MISFETQnが形成される。

【0034】次に、図7に示すように、半導体基板1上にSOG（スピノングラス）膜24をスピノ塗布し、次いでその上部にCVD法で酸化シリコン膜25を堆積した後、この酸化シリコン膜25をCMP（化学的機械研磨）法で研磨してその表面を平坦化する。次に、酸化シリコン膜25の上部にCVD法で酸化シリコン膜26を堆積した後、フォトリソ膜をマスクにしたドライエッチングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）の上部の酸化シリコン膜26、25およびSOG膜24を除去し、n型半導体領域19（ソース、ドレイン）の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。その後、コンタクトホール28、29の内部にプラグ30を埋め込む。プラグ30は、酸化シリコン膜26の上部にn型不純物（例えばP（リン））をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0035】次に、図8に示すように、酸化シリコン膜26の上部にCVD法で酸化シリコン膜31を堆積した後、フォトリソ膜をマスクにしたドライエッチングで前記コンタクトホール28の上部の酸化シリコン膜31を除去してプラグ30の表面を露出させる。次に、フォトリソ膜をマスクにしたドライエッチングでDRAMの周辺回路形成領域およびロジックLSI形成領域の酸化シリコン膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル

型MISFETQnのn<sup>+</sup>型半導体領域23（ソース、ドレイン）の上部にコンタクトホール33、34を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域22（ソース、ドレイン）の上部にコンタクトホール35、36を形成する。

【0036】次に、酸化シリコン膜31の上部にビット線BLおよび第1層配線37、38、39を形成する。ビット線BLおよび第1層配線37～39を形成するには、例えば酸化シリコン膜31の上部にTiN膜をスパッタリング法で堆積し、さらにその上部にW膜と窒化シリコン膜40とをCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターニングする。その後、ビット線BLの側壁と第1層配線37～39の側壁とにサイドウォールスペース41を形成する。サイドウォールスペース41は、例えばビット線BLおよび第1層配線37～39の上部にCVD法で堆積した窒化シリコン膜を異方性エッチングして形成する。

【0037】次に、図9に示すように、ビット線BLおよび第1層配線37～39の上部にSOG膜42をスピン塗布し、次いでSOG膜42の上部にCVD法で酸化シリコン膜43を堆積した後、この酸化シリコン膜43をCMP法で研磨してその表面を平坦化する。次に、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール29の上部の酸化シリコン膜43、SOG膜42および酸化シリコン膜31を除去してプラグ30の表面に達するスルーホール44を形成した後、このスルーホール44の内部にプラグ45を埋め込む。プラグ45は、酸化シリコン膜43の上部にn型不純物（例えばP（リン））をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール45の内部に残すことにより形成する。

【0038】次に、図10に示すように、酸化シリコン膜43の上部に下部電極46、容量絶縁膜47および上部電極48を積層した情報蓄積容量素子Cを形成することにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが略完成する。下部電極46は、例えばP（リン）をドーブした多結晶シリコン膜をパターニングして形成する。容量絶縁膜47および上部電極48は、例えば下部電極46の上部に酸化タンタル膜およびTiN膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。情報蓄積容量素子Cは、スルーホール44およびコンタクトホール29を通じてメモリセル選択用MISFETQsのソース、ドレインの一方（n型半導体領域19）と電気的に接続される。

【0039】その後、図11に示すように、情報蓄積容量素子Cの上部に第1層間絶縁膜49を形成した後、その上部にDRAMとロジックLSIの第2層配線50

～53、第2層間絶縁膜54および第3層配線55、56を形成する。第1層間絶縁膜49および第2層間絶縁膜54は、例えば酸化シリコン膜、SOG膜、酸化シリコン膜の3層膜で構成し、第2層配線50～53および第3層配線55、56は、例えばTiN膜、Al合金膜、TiN膜の3層膜で構成する。以上のプロセスにより、本実施の形態のDRAM-ロジック混載LSIが略完成する。

【0040】図12は、半導体基板の全面に酸素をイオン打ち込みして酸化シリコン層を形成したSOI基板にMISFETを形成した場合（比較例）と、本実施の形態の方法で製造したSOI基板にMISFETを形成した場合のソース、ドレイン間IV（電流電圧）特性を比較したグラフである。図示のように、本実施の形態では比較例よりもソース、ドレイン耐圧が向上し、しかもIV特性にキックが生じることなかった。また、動作速度や消費電力は比較例と同等であった。

【0041】比較例では、MISFETのチャネル領域の下部（ウエル）が支持基板と電気的に絶縁されているために、この領域に注入されたキャリアの逃げ場所がないことに起因して基板浮遊効果が発生する。これに対し、チャネル領域の下部（ウエル）の活性層と支持基板とが電気的に導通されている本実施の形態では、チャネル領域の下部（ウエル）に注入されたキャリアは酸化シリコン層6の隙間を通じて支持基板側に流れるため、基板浮遊効果は発生しない。支持基板には外部電極を接続しておくことにより、流れ込んだキャリアを電極を通じて外部に除去することができる。

【0042】また、本実施の形態では活性層から支持基板へのキャリアの流路を基板の縦方向に沿って設けているので、平面内の素子分離を完全に閉じることができる。従って、活性層の膜厚を薄くした場合でも流路の抵抗増大がなく、かつレイアウト上の制約もないのでMISFETの高集積化や高性能化を妨げることもない。加えて、MISFETのソース領域を狭バンド構造としたり、ソース領域の底部に再結合領域を形成したりしたときのような副作用の発生もない。

【0043】さらに、酸素のイオン打ち込みによってSOI基板を製造する本実施の形態は、「貼り合わせ法」によってSOI基板を作成する場合に比べてアライメント精度の確保が容易なため、微細な酸化シリコン層を形成することができる。

【0044】（実施の形態2）前記実施の形態1では、MISFETのチャネル領域の下部の酸化シリコン層6を他の領域の酸化シリコン層6よりも深く形成したが、本実施の形態では、MISFETのチャネル領域の下部には酸化シリコン層6を形成しない。

【0045】このようなSOI基板を製造するには、図13に示すように、半導体基板1の表面に酸化シリコン膜2と窒化シリコン膜3を堆積した後、後の工程でMI

SFETのチャネル領域が形成される領域の上部をマスク4で覆い、半導体基板1に酸素をイオン打ち込みする。次に、窒化シリコン膜3および酸化シリコン膜をエッチングで除去した後、図14に示すように、酸化雰囲気中で半導体基板1を1350℃、1時間程度熱処理して基板内部に酸化シリコン層6を形成することにより、SOI構造の半導体基板1を得る。この半導体基板1は、後の工程でMISFETのチャネル領域が形成される領域の下部で活性層と支持基板と電気的に接続される。その後、図15に示すように、前記実施の形態1と同様の方法で半導体基板1上にMISFETを形成する。

【0046】(実施の形態3)図16(a)は本実施の形態のSOI基板の要部平面図、(b)は(a)のB-B'線に沿った断面図である。図中の符号14はMISFETのゲート電極、60はソース、ドレインを構成する半導体領域である。

【0047】前記実施の形態1、2では、MISFETのチャネル領域の直下で活性層と支持基板とを電気的に接続したが、図16に示すように、チャネル領域の下部以外の領域で活性層と支持基板とを電気的に接続してもよい。この場合は、前記実施の形態1、2に比べて素子形成領域の面積が増加する短所があるが、酸化シリコン層6を形成する際にリソグラフィのアライメント精度を緩和できるという利点がある。

【0048】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0049】前記実施の形態1では、MISFETのチャネル領域の下部の酸化シリコン層を他の領域の酸化シリコン層よりも深く形成したが、これとは逆に、MISFETのチャネル領域の下部の酸化シリコン層を他の領域の酸化シリコン層よりも浅く形成してもよい。この場合は、前記図2において窒化シリコン膜3と酸化シリコン膜2とを除去する領域とこれらの膜を残す領域とを逆にして酸素をイオン打ち込みすればよい。

【0050】前記実施の形態では、主としてDRAM-ロジック混載LSIに適用した場合について説明したが、本発明はMOSLSI全般、特に接合容量低減、接合リーク電流低減(結果としてのデータリテンション特性向上)、ソフトエラー低減など、SOI基板の特長を利用したメモリLSIや携帯用低消費電力LSIなどに適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0052】本発明によれば、SOI基板を用いたMO

SLSIの特長(例えば高速動作、低消費電力、高ソフトウェア耐性)を損なうことなく、基板浮遊効果を防止することができる。これにより、MOSLSIの耐圧マージンが向上し、基板バイアス変動が抑制されるので、論理LSI、アナログ回路、メモリLSIを問わず種々の応用設計が容易となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図12】SOI基板に形成したMISFETのソース、ドレイン間IV特性を示すグラフである。

【図13】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図14】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図16】(a)は、本発明の他の実施の形態であるSOI基板の要部平面図、(b)は(a)のB-B'線に沿った断面図である。

【符号の説明】

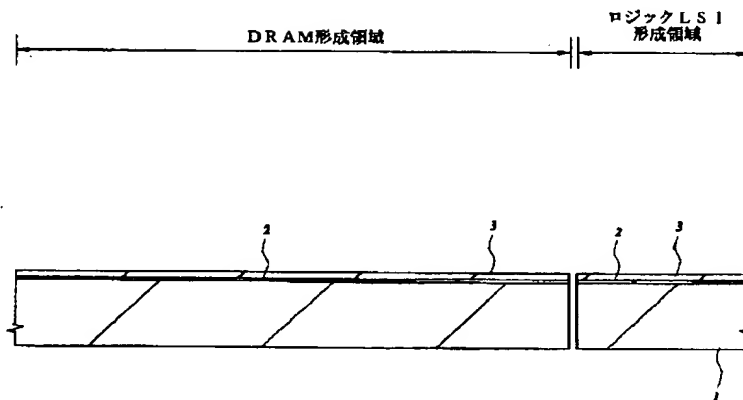
- 1 半導体基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 マスク
- 5 素子分離溝
- 6 酸化シリコン層

7 酸化シリコン膜  
 11 p型ウェル  
 12 n型ウェル  
 13 ゲート酸化膜  
 14A~14C ゲート電極  
 15 窒化シリコン膜  
 17 p<sup>-</sup>型半導体領域  
 18 n<sup>-</sup>型半導体領域  
 19 n型半導体領域(ソース、ドレイン)  
 20 窒化シリコン膜  
 20a サイドウォールスペーサ  
 22 p<sup>+</sup>型半導体領域(ソース、ドレイン)  
 23 n<sup>+</sup>型半導体領域(ソース、ドレイン)  
 24 SOG膜  
 25 酸化シリコン膜  
 26 酸化シリコン膜  
 28 コンタクトホール  
 29 コンタクトホール  
 30 ブラグ  
 31 酸化シリコン膜  
 33~36 コンタクトホール

\*37~39 第1層配線  
 40 窒化シリコン膜  
 41 サイドウォールスペーサ  
 42 SOG膜  
 43 酸化シリコン膜  
 44 スルーホール  
 45 ブラグ  
 46 下部電極  
 47 容量絶縁膜  
 48 上部電極  
 49 第1層間絶縁膜  
 50~53 第2層配線  
 54 第2層間絶縁膜  
 55、56 第3層配線  
 60 半導体領域(ソース、ドレイン)  
 BL ビット線  
 C 情報蓄積用容量素子  
 Qn nチャネル型MISFET  
 Qp pチャネル型MISFET  
 20 Qs メモリセル選択用MISFET  
 \* WL ワード線

【図1】

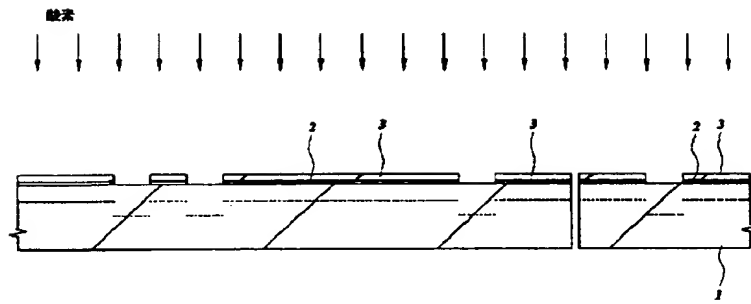
図 1





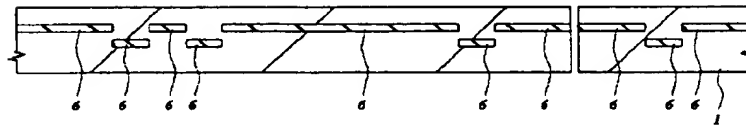
【図 2】

図 2



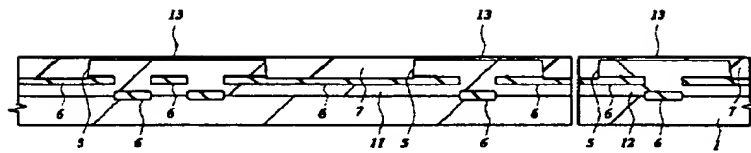
【図 3】

図 3



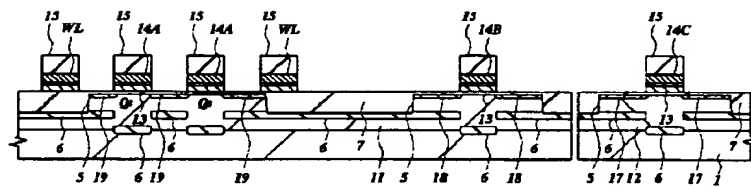
【図4】

図 4



【図5】

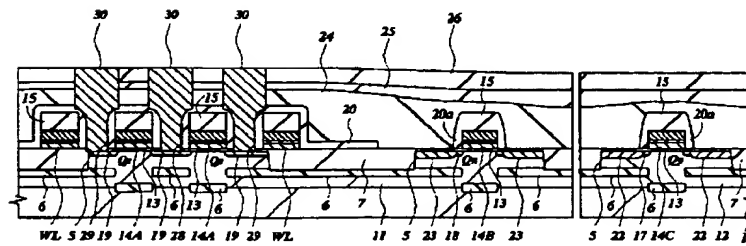
図 5



6: 酸化シリコン層

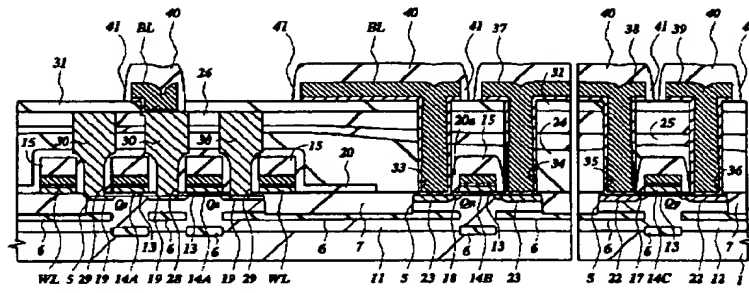
特開平 1 1 - 8 7 7 2 3

☒ 6



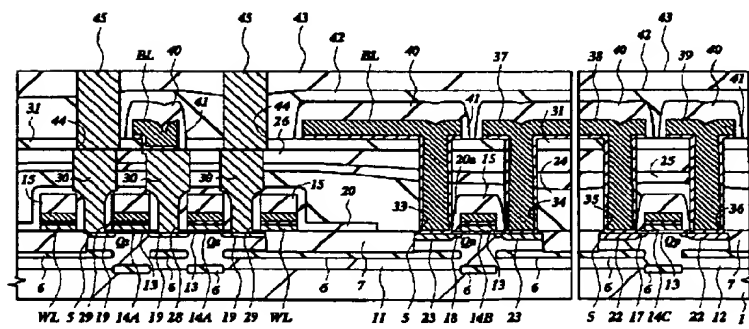
【図 8】

図 8



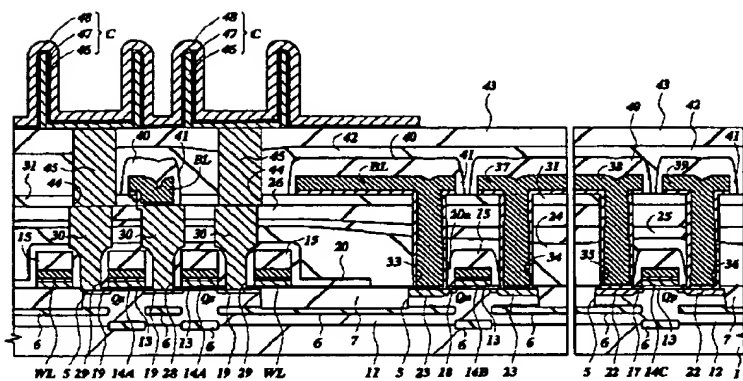
【図 9】

図 9



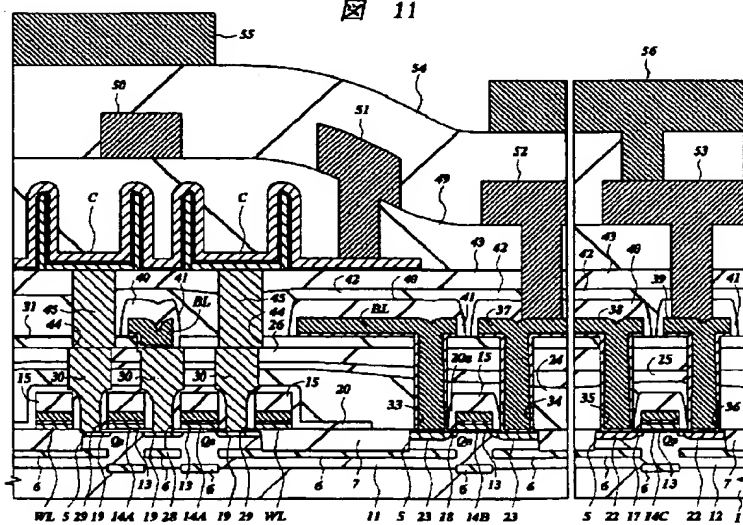
【図 10】

図 10



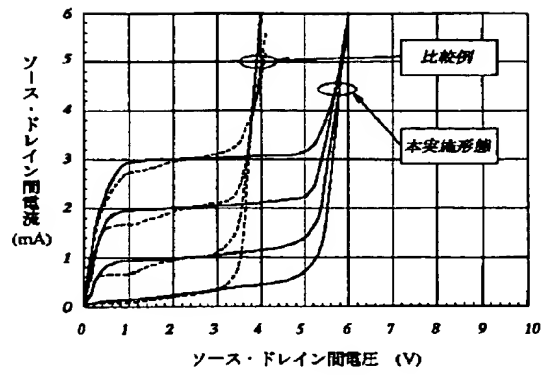
【図 11】

図 11



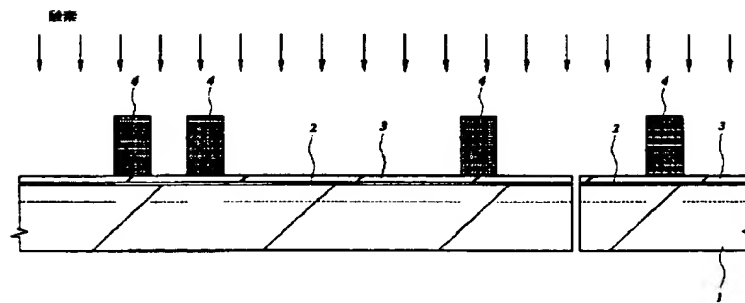
【図 12】

図 12



【図 13】

図 13

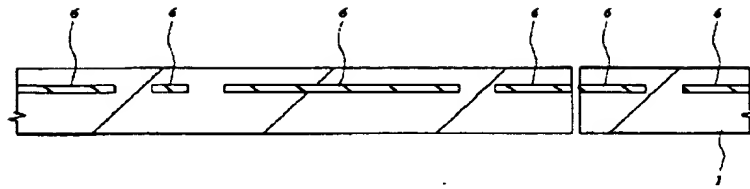


(14)

特開平 11-87723

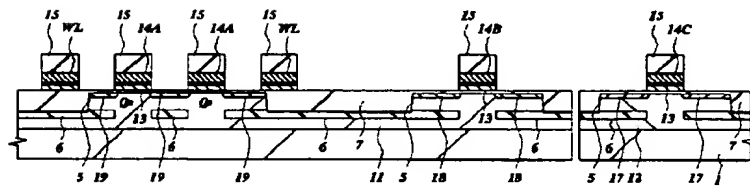
【図 14】

図 14



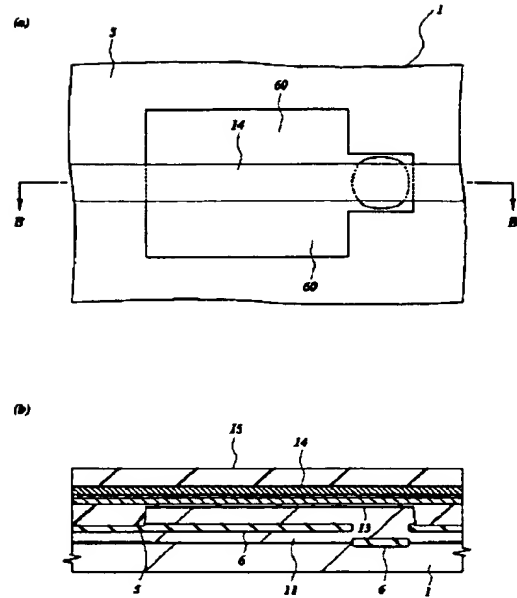
【図 15】

図 15



【図 16】

図 16



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 1 3 B

6 2 1

6 2 6 B